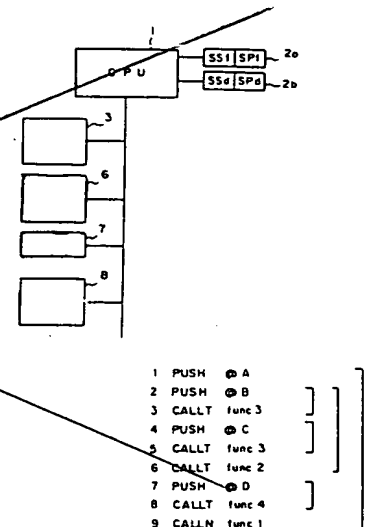


(54) DATA PROCESSOR

(11) 3-191426 (A) (43) 21.8.1991 (19) JP
 (21) Appl. No. 64-331748 (22) 21.12.1989
 (71) MITSUBISHI ELECTRIC CORP (72) TATSUO KURAOKA
 (51) Int. Cl.⁵ G06F9/34, G06F9/44

PURPOSE: To allow a CPU to automatically determine an area for storing the function of an argument and the result of a function at the time of accessing, and restoring the function by providing the data processor with 1st and 2nd stack registers for controlling a stack tag memory and so on.

CONSTITUTION: The pointers of variables A, B are inputted to a function stack memory 6. When an instruction CALLT func3 is executed, a return pointer from the func3 is inputted to the memory 6 and operation is jumped to the entry of a program code of the function func3. After executing the func3, the function result is stored in an area specified by the contents SSD:SPd of a data stack register 2b in a data stack memory 7 and then the contents SSD:SPd of the register 2b are updated. The pointer of the area storing the function result of the func3 is set up the position of the memory in which the 1st argument of the func3 is set up and the contents SSf:SPf of the function stack register 2a are updated. In order to indicate the setting of the pointer in the memory 7 to the memory 6, the corresponding set position of a stack tag memory 8 is turned on. The operation is restored from the func3 to complete the instruction CALLT func3.



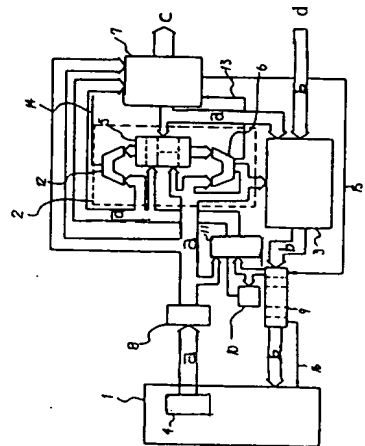
3: code data memory

(54) MICROPROCESSOR

(11) 3-191427 (A) (43) 21.8.1991 (19) JP
 (21) Appl. No. 64-332013 (22) 20.12.1989
 (71) NEC CORP (72) TAKAHIRO TOKUUME
 (51) Int. Cl.⁵ G06F9/38

PURPOSE: To reduce the mishit ratio of a cache memory due to a branching instruction by detecting the branching instruction prior to the execution of the branching instruction and preparing data in branching destination in the cache memory.

CONSTITUTION: The address of an instruction to be executed next is stored in a program counter 4 and the address of an instruction to be prefetched in a FIFO memory 9 is stored in a prefetch counter 8. At this time, the contents of a counter 4 are copied to the counter 8 by resetting and branching instructions and the memory 9 is simultaneously cleared. The contents of the counter 8 are outputted to a cache control part 2. The control part 2 inputs a part of address information inputted from the counter 8 to a cache tag memory 5 and outputs the tag information to be referred to an address comparator 6. The comparator 6 compares the tag information inputted from the memory 5 with a part of the address information inputted from the counter 8 to detect the hit/mishit of the cache.



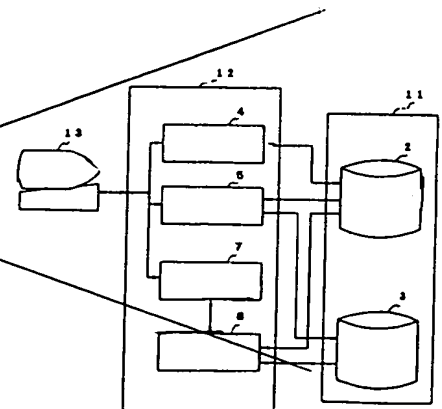
3: cache memory, 7: data replacement control circuit, 10: instruction decoder, 11: branching address forming circuit, 12: address comparator, 113,14: mishit signal, 15,16: wait signal, a: address, c: to main memory, d: from main memory

(54) KNOWLEDGE DATA PROCESSING SYSTEM

(11) 3-191428 (A) (43) 21.8.1991 (19) JP
 (21) Appl. No. 64-333821 (22) 21.12.1989
 (71) HITACHI SOFTWARE ENG CO LTD (72) KAZUHIRO OKAMOTO(3)
 (51) Int. Cl.⁵ G06F9/44

PURPOSE: To shorten the construction time of a question-answer system by providing a system with an inference mechanism for executing inference processing to successively extract keywords relating to the keyword of a conversationally inputted question from a keyword combination patterns.

CONSTITUTION: Keyword registering part 4 in a processor 12 registers a keyword based upon an input from a display input device 13 and stores the registered keyword in a keyword storing part 2. A keyword combination setting part 5 sets up the combination of keywords based upon the input from the device 13 and stores the combination in a keyword combination pattern storing part 3 as a keyword combination patterns. A user interface part 7 executes conversational input processing when a user utilizes the system. The inference mechanism 6 executes inference processing for successively extracting keywords relating to the keyword of the question conversationally inputted from the user from the keywords and the keyword combination patterns by using knowledge data stored in a knowledge base 11.



BEST AVAILABLE COPY

⑫ 公開特許公報(A) 平3-191427

⑤ Int. Cl.³

G 06 F 9/38

識別記号

3 3 0 F

庁内整理番号

7927-5B

④ 公開 平成3年(1991)8月21日

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 マイクロプロセッサ

⑰ 特 願 平1-332013

⑱ 出 願 平1(1989)12月20日

⑲ 発 明 者 徳 梅 孝 啓 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

マイクロプロセッサ

2. 特許請求の範囲

キャッシュメモリと、前記キャッシュメモリから命令を読み込んで実行する命令実行部と、前記キャッシュメモリのタグ情報を保持するキャッシュタグメモリとアドレス比較器とを有するキャッシュコントロール部と、キャッシュミスヒット時に外部に接続されたメインメモリから前記キャッシュメモリにデータを転送するデータリプレース制御回路とを含むマイクロプロセッサにおいて、前記キャッシュメモリと前記命令実行部との間に、FIFOメモリを備え前記キャッシュメモリから命令をプリフェッチする命令先読み回路と、前記FIFOメモリへ入力された命令が分岐命令であるか否かの解釈を行う命令デコードと、前記命令デコードにより分岐命令が認識された場

合、分岐命令直後に前記FIFOメモリに入力される分岐先アドレスを前記キャッシュコントロール部に出力する分岐アドレス生成回路とから構成される分岐予測手段を有し、且つ前記キャッシュコントロール部は、前記分岐アドレス生成回路から入力される分岐先アドレスと前記キャッシュタグメモリのタグ情報とを比較するアドレス比較器と、比較の結果キャッシュミスヒット時には前記分岐先アドレスにより参照される前記メインメモリのデータ群を前記キャッシュメモリに転送する手段とを有し、分岐命令の予測を行なうとともに、分岐命令実行以前に分岐後の命令をキャッシュングすることを特徴とするマイクロプロセッサ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はマイクロプロセッサに関し、特にキャッシュメモリを有し分岐予測およびキャッシュメモリの管理を行なうマイクロプロセッサに関する。

〔従来の技術〕

従来、マイクロプロセッサには、キャッシュメモリが用いられているが、かかるキャッシュメモリは高速のメモリで構成され、マイクロプロセッサがメインメモリを直接アクセスする場合に比べマイクロプロセッサの処理速度を向上させることができる。

第2図は従来の一例を示すキャッシュメモリを有するマイクロプロセッサのブロック図である。

第2図に示すように、従来のマイクロプロセッサプログラムカウンタ4を有する命令実行部1と、メインメモリ等からのデータを命令実行部1に送出するキャッシュメモリ3と、このキャッシュメモリ3を制御するためにキャッシュタグメモリ5およびアドレス比較器6を有するキャッシュコントロール部2Aと、データリブレース7Aとを有して構成される。

次に、かかるマイクロプロセッサの命令実行の手順を説明する。

まず、命令実行部1はその内部のプログラムカ

マリブロックをメインメモリへアドレス送出し、さらにメインメモリからのデータをキャッシュメモリ3に転送し、キャッシュタグメモリ5のタグ情報を書換え、キャッシュのリブレースを行う。このキャッシュのリブレース期間中はデータリブレース制御回路7Aから命令実行部1にウェイト信号15を出力し、命令実行部1の命令実行を待機させる。リブレース完了後、キャッシュメモリ3の該当するデータが命令実行部1に出力され、命令が実行される。

〔発明が解決しようとする課題〕

上述した従来のキャッシュメモリを有したマイクロプロセッサは、分岐命令に関して分岐命令を実行し、分岐条件が成立した後に分岐先アドレスのキャッシュ比較を行なう。従って、分岐命令が多く用いられるプログラムほどキャッシュのヒット率が低下し、処理速度が低下するという欠点がある。

本発明の目的は、かかるキャッシュのヒット率を向上させ、処理速度を高速化できるマイクロ

ウンタ4に格納されているアドレスをキャッシュコントロール部2Aに出力する。キャッシュコントロール部2Aは、プログラムカウンタ4から入力されたアドレス情報の一部をキャッシュタグメモリ5に入力し、参照すべきタグ情報をアドレス比較器6に出力する。また、アドレス比較器6では、キャッシュタグメモリ5から入力されたタグ情報とプログラムカウンタ4から入力されたアドレス情報の一部とを比較し、キャッシュのヒット／ミスヒットを検出する。

次に、キャッシュヒットの場合、コントロール部2Aはキャッシュメモリ3にプログラムカウンタ4から入力されたアドレス情報の一部を出力し、キャッシュメモリ3の該当するデータが命令実行部1に出力されて命令が実行される。

一方、キャッシュミスヒットの場合、コントロール部2Aはミスヒット信号13をデータリブレース制御回路7Aに送出する。このデータリブレース制御回路7Aはプログラムカウンタ4から入力されたアドレス情報の一部から参照されるメ

ロセッサを提供することにある。

〔課題を解決するための手段〕

本発明のマイクロプロセッサは、キャッシュメモリと、前記キャッシュメモリから命令を読み込んで実行する命令実行部と、前記キャッシュメモリのタグ情報を保持するキャッシュタグメモリとアドレス比較器とを有するキャッシュコントロール部と、キャッシュミスヒット時に外部に接続されたメインメモリから前記キャッシュメモリにデータを転送するデータリブレース制御回路とを含むマイクロプロセッサにおいて、前記キャッシュメモリと前記命令実行部との間に、FIFOメモリを備え前記キャッシュメモリから命令をプリフェッチする命令先読み回路と、前記FIFOメモリへ入力された命令が分岐命令であるか否かの解釈を行う命令デコーダと、前記命令デコーダにより分岐命令が認識された場合、分岐命令直後に前記FIFOメモリに入力される分岐先アドレスを前記キャッシュコントロール部に出力する分岐アドレス生成回路とから構成される分岐予測手

段を有し、且つ前記キャッシュコントロール部は、前記分岐アドレス生成回路から入力される分岐先アドレスと前記キャッシュタグメモリのタグ情報とを比較するアドレス比較器と、比較の結果キャッシュミスヒット時には前記分岐先アドレスにより参照される前記メインメモリのデータ群を前記キャッシュメモリに転送する手段とを有し、分岐命令の予測を行なうとともに、分岐命令実行以前に分岐後の命令をキャッシュングするように構成される。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例を示すキャッシュメモリを有するマイクロプロセッサのブロック図である。

第1図に示すように、本実施例はプログラムカウンタ4を有する命令実行部1と、キャッシュメモリ3と、キャッシュコントロール部2と、データリブレース制御回路7とを有する。しかも、

キャッシュミスヒット時には、分岐先アドレスにより参照されるメインメモリのデータ群をキャッシュメモリ3に転送することができる。

次に、上述したマイクロプロセッサの命令の実行手順と分岐予測の手順を説明する。

まず、命令の実行手順について述べる。

はじめに、命令実行部1内部のプログラムカウンタ4には次に実行する命令のアドレスが格納されており、プリフェッチカウンタ8にはFIFOメモリ9にプリフェッチする命令のアドレスが格納されている。このプリフェッチカウンタ8はリセットおよび分岐命令によりプログラムカウンタ4の内容がコピーされ、同時にFIFOメモリ9はクリアされる。ついで、プリフェッチカウンタ8は、その内容をキャッシュコントロール部2に出力する(①)。キャッシュコントロール部2では、プリフェッチカウンタ8から入力されたアドレス情報の一部をキャッシュタグメモリ5に入力し、参照すべきタグ情報をアドレス比較器6に出力する(②)。アドレス比較器6では、キャッシュ

キャッシュメモリ3と命令実行部1との間に、FIFOメモリ9を備えキャッシュメモリ3から命令をプリフェッチする命令先読み回路と、このFIFOメモリ9へ入力された命令が分岐命令であるか否かの解釈を行う命令デコーダ10と、この命令デコーダ10により分岐命令が認識された場合、分岐命令直後にFIFOメモリ9に入力される分岐先アドレスをキャッシュコントロール部2に出力する分岐アドレス生成回路11とから構成される分岐予測手段を備えている。

また、前述したキャッシュコントロール部2は、キャッシュメモリ3のタグ情報を保持するキャッシュタグメモリ5と、アドレス比較器6および12とを含んでいる。データリブレース制御回路7はキャッシュミスヒット時に外部に接続されたメインメモリからキャッシュメモリ3にデータを転送する回路である。従って、キャッシュコントロール部2は分岐アドレス生成回路11から入力される分岐先アドレスとキャッシュタグメモリ5のタグ情報とをアドレス比較器12において比較し、

タグメモリ5から入力されたタグ情報とプリフェッチカウンタ8から入力されたアドレス情報の一部を比較し、キャッシュのヒット/ミスヒットを検出する(③)。

ここで、キャッシュヒットの場合は、キャッシュメモリ3にプリフェッチカウンタ8から入力されたアドレス情報の一部を出力し、キャッシュメモリ3の該当するデータがFIFOメモリ9に出力される(④)。FIFOメモリ9に1ワードのデータが入力されると、プリフェッチカウンタ8の内容が1インクリメントされ、FIFOメモリ9が満杯になるまで上記①から④の動作を繰り返す(⑤)。

一方、キャッシュミスヒットの場合は、ミスヒット信号13を送出されたデータリブレース制御回路7がプリフェッチカウンタ8から入力されたアドレス情報の一部から参照されるメモリブロックをメインメモリからキャッシュメモリ3に転送させ、キャッシュタグメモリ5のタグ情報を書換え、キャッシュメモリ3のリブレースを行う。

このキャッシュのリブレース期間中はFIFOメモリ9にウェイト信号15を出力し、プリフェッチ動作を待機させる(⑥)。リブレース完了後、キャッシュメモリ3の該当するデータがFIFOメモリ9に出力される(⑦)。

更に、命令実行部1は上述した①から⑦のプリフェッチ動作とは独立にFIFOメモリ9から順次データを読み出して命令の実行を行うが、FIFOメモリ9が空の場合にはFIFOメモリ9から命令実行部1にウェイト信号16が出力され、その期間は待機状態となる。

次に、分岐予測の手順について述べる。

はじめに、キャッシュメモリ3からFIFOメモリ9に入力されたデータは、同時に命令デコーダ10に入力され、分岐命令か否かの判定が行われる(イ)。この命令デコーダ10において分岐命令が検出されると、分岐命令に続いてFIFOメモリ9に入力されたデータ(分岐先の絶対番地の場合と相対番地の場合がある)を分岐先アドレス生成回路11に入力し、相対番地の場合にはプリ

フェッチカウンタ8の内容と合わせ分岐先アドレスを生成し、キャッシュコントロール部2に出力する(ロ)。そこで、キャッシュコントロール部2は、分岐先アドレス生成回路11から入力されたアドレス情報の一部をキャッシュタグメモリ5に入力し、参照すべきタグ情報をアドレス比較器12に出力する(ハ)。ついで、アドレス比較器12は、キャッシュタグメモリ5から入力されたタグ情報と部アドレス生成回路11から入力されたアドレス情報の一部を比較し、キャッシュのヒット/ミスヒットを検出する(ニ)。

ここで、キャッシュヒットの場合は、上述した(イ)に戻って(イ)から(ニ)の動作を繰り返す。

一方、キャッシュミスヒットの場合は、ミスヒット信号14を受けたデータリブレース制御回路7が分岐アドレス生成回路11から入力されたアドレス情報の一部から参照されるメモリブロックをメインメモリからキャッシュメモリ3に転送させ、キャッシュタグメモリ5のタグ情報を書換え、キャッシュメモリ3のリブレースを行なわれ

る。ただし、キャッシュメモリ3のリブレース期間中もFIFOメモリ9に対するウェイト信号15は出力されない。

このように、本実施例では分岐命令を命令実行前に検出し、しかも分岐先を予測し、あらかじめ分岐先データをキャッシュメモリに蓄えておくことができるので、ヒット率が向上し、処理速度も高速化される。

〔発明の効果〕

以上説明したように、本発明のマイクロプロセッサは、分岐命令を実行する以前に分岐命令の検出を行い、さらに分岐先のデータを事前にキャッシュメモリに準備することにより、分岐命令によるキャッシュメモリのミスヒット率を低下させ、命令処理速度を大幅に向上させるという効果がある。

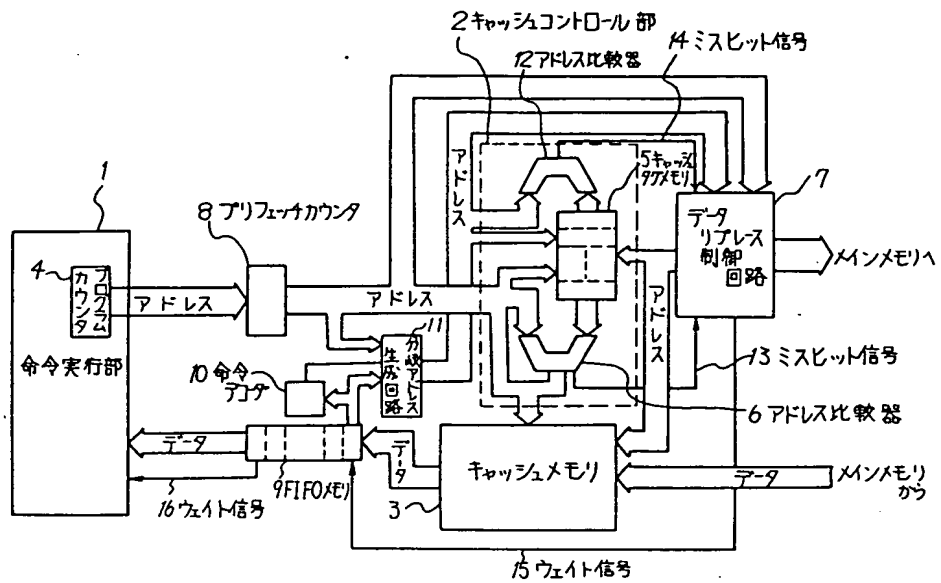
4. 図面の簡単な説明

第1図は本発明の一実施例を示すキャッシュメモリを有するマイクロプロセッサのブロック図、

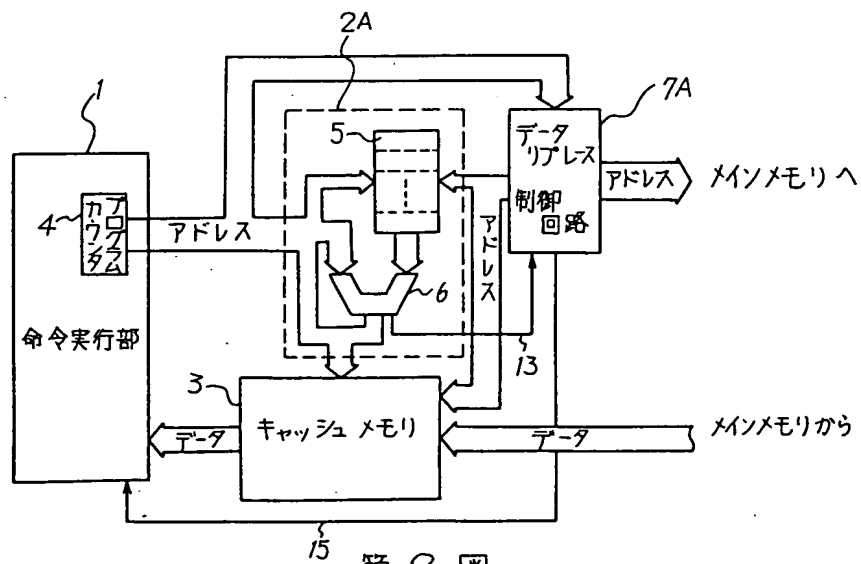
第2図は従来の一例を示すキャッシュメモリを有するマイクロプロセッサのブロック図である。

1……命令実行部、2……キャッシュコントロール部、3……キャッシュメモリ、4……プログラムカウンタ、5……キャッシュタグメモリ、6, 12……アドレス比較器、7……データリブレース制御回路、8……プリフェッチカウンタ、9……FIFOメモリ、10……命令デコーダ、11……分岐アドレス生成回路、13, 14……ミスヒット信号、15……ウェイト信号。

代理人 弁理士 内 原 晋



第 1 図



第 2 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.